

	Type	L #	Hits	Search Text	DBs
16	BRS	L16	246	common adj (multiple multiplier multiplied) with clock	US-PGPUB ; USPAT ; EPO; JPO; DERWE NT
17	BRS	L17	106	16 and (natural integer)	US-PGPUB ; USPAT ; EPO; JPO; DERWE NT

PAT-NO: JP411145942A

DOCUMENT-IDENTIFIER: JP 11145942 A

TITLE: SYNCHRONIZATION CIRCUIT, SYNCHRONIZATION METHOD THEREFOR
AND LSI

PUBN-DATE: May 28, 1999

INVENTOR-INFORMATION:

NAME COUNTRY
KUDO, MAKOTO N/A

ASSIGNEE-INFORMATION:

NAME COUNTRY
NEC IC MICROCOMPUT SYST LEB N/A

APPL-NO: JF09312207

APPL-DATE: November 13, 1997

INT-CL (IPC): H04L007/00, G06F001/12

ABSTRACT:

PROBLEM TO BE SOLVED: To eliminate time loss due to timing adjustment for synchronization by generating the synchronization clock of a frequency which is the least common multiple or greatest common measure of the first and second frequencies of first and second external clocks, synchronizing the first and second external clocks with the synchronization clock and generating corresponding first and second clocks.

SOLUTION: An internal clock generation circuit 5 generates the synchronization clock CKY of the frequency which is the least common denominator of the frequency of the clocks CP1 and CP2 synchronized with a system clock CKS from the clocks CP1 and CP2 from the outside and the system clock CKS, synchronizes the synchronization clock CKY and the clocks CP1 and CP2 and generates internal clocks CK1 and CK2. Logic circuits 1, 2 and 4 are operated by the clocks CK1, CK2 and CKY mutually in a synchronized state. Thus, since the time loss relating to timing adjustment is not generated, operation efficiency of the respective logic circuits is improved.

COPYRIGHT: (C) 1999, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145942

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 L 7/00

H 0 4 L 7/00

Z

G 0 6 F 1/12

G 0 6 F 1/04

3 4 0

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平9-312207

(22) 出願日 平成9年(1997)11月13日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72) 発明者 工藤 誠

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

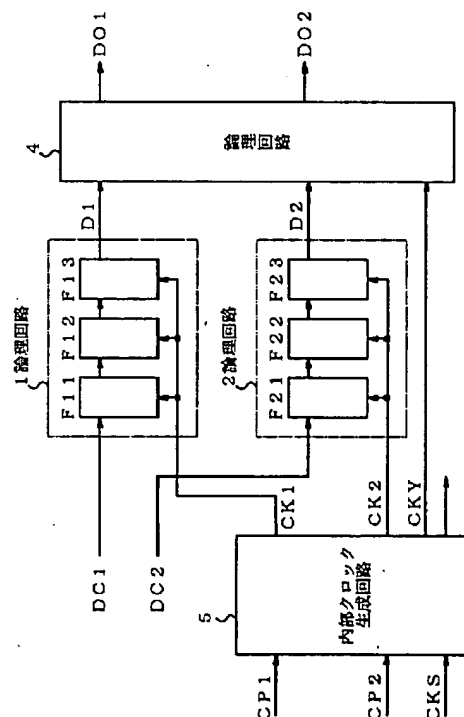
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 同期回路及びその同期方法及びL S I

(57) 【要約】

【課題】複数の異なる周波数のクロックを用いる半導体集積回路装置の各回路相互間の同期をとると共に、タイミング調整等に起因する時間損失を除去する。

【解決手段】外部クロックCP1、CP2の周波数の最小公倍数の周波数の同期クロックCKYを生成しクロックCP1、CP2を同期クロックCKYに同期して対応するクロックCK1、CK2を生成する内部クロック生成回路5を備える。



【特許請求の範囲】

【請求項1】 第1の周波数の第1のクロックに同期した第1の入力データを処理し第1の処理データと、第2の周波数の第2のクロック同期した第1の入力データを処理し第2の処理データとの供給を受け、相互に同期しこれら第1及び第2の処理データにそれぞれ対応する第1及び第2の出力データを出力する同期回路において、前記第1の周波数の第1の外部クロック及び前記第2の周波数の第2の外部クロックの供給を受け前記第1及び第2の周波数の最小公倍数又は最大公約数の周波数の同期クロックを生成し前記第1及び第2の外部クロックを前記同期クロックに同期して対応する前記第1及び第2のクロックを生成する内部クロック生成回路を備えることを特徴とする同期回路。

【請求項2】 第1の周波数の第1のクロックに同期した第1の入力データを処理し第1の処理データを出力する第1のデータ処理回路と、第2の周波数の第2のクロック同期した第1の入力データを処理し第2の処理データを出力する第2のデータ処理回路と、前記第1及び第2の処理データの供給を受け相互に同期しこれら第1及び第2の処理データにそれぞれ対応する第1及び第2の出力データを出力する第3のデータ処理回路とを備える同期回路において、前記第1の周波数の第1の外部クロック及び前記第2の周波数の第2の外部クロックの供給を受け前記第1及び第2の周波数の最小公倍数又は最大公約数の周波数の同期クロックを生成し前記第1及び第2の外部クロックを前記同期クロックに同期して対応する前記第1及び第2のクロックを生成する内部クロック生成回路を備えることを特徴とする同期回路。

【請求項3】 前記内部クロック生成回路が、第3の周波数の第3の外部クロックに位相同期しこの第3の周波数を逡倍又は分周して前記同期クロックを生成する位相ロックループ回路を備えることを特徴とする請求項1記載の同期回路。

【請求項4】 前記内部クロック生成回路が、前記同期クロックに同期して前記第1の外部クロックをラッチし前記第1のクロックを生成する第1の同期回路と、前記同期クロックに同期して前記第2の外部クロックをラッチし前記第2のクロックを生成する第1の同期回路とを備えることを特徴とする請求項1記載の同期回路。

【請求項5】 前記内部クロック生成回路が、前記同期クロックに同期して前記第1の外部クロックをラッチし前記第1のクロックを生成する第1の同期回路と、前記同期クロックに同期して前記第2の外部クロックをラッチし前記第2のクロックを生成する第1の同期回路と、前記同期クロックに同期して第4の外部クロックをラッチし第4のクロックを生成する第3の同期回路とを備えることを特徴とする請求項1記載の同期回路。

【請求項6】 第1の周波数の第1のクロックに同期した第1の入力データを処理し第1の処理データと、第2の周波数の第2のクロック同期した第1の入力データを処理し第2の処理データとの供給を受け、相互に同期しこれら第1及び第2の処理データにそれぞれ対応する第1及び第2の出力データを出力する同期方法において、前記第1の周波数の第1の外部クロック及び前記第2の周波数の第2の外部クロックの供給を受け前記第1及び第2の周波数の最小公倍数又は最大公約数の周波数の同期クロックを生成し前記第1及び第2の外部クロックを前記同期クロックに同期して対応する前記第1及び第2のクロックを生成することを特徴とする同期方法。

【請求項7】 請求項1記載の同期回路を備えることを特徴とするLSI。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は同期回路及びその同期方法及びLSIに関し、特に1チップ内に複数の異なる周波数のシステムクロックでそれぞれ動作する複数の内部回路を有する超大規模LSI（大規模半導体集積回路）の内部回路相互間の同期用の同期回路及びその同期方法に関する。

【0002】

【従来の技術】半導体プロセス技術の発展により、従来の複数のLSI分の機能に相当する複数の機能の搭載が可能な百万ゲート規模の超大規模LSIの開発が可能となり、これを用いるシステムあるいは装置機器の動作の高速化及び小型化の要求が高まってきている。

【0003】一般に、LSIは同期型であり、外部クロックに制御されて内部動作が実行される。また通常、複数のLSIチップで1つのシステムを構成する場合、各々のLSIの内部回路のチップの動作クロック周波数が異なっていることが普通である。このため、これら複数のLSIを1つのシステムとして統合して1チップ化する場合、各LSIチップ内部回路相当機能の回路の相互間のインターフェースを正常に保持し、また、相互干渉を抑圧するため、これら各機能回路のクロックを同期させ、同期動作させることが必要である。

【0004】この種の同期動作は、システム全体のクロック周波数と同一周波数、同一位相のクロックを各回路に供給するか、あるいはシステム全体のクロック周波数の整数倍又は整数分の1（分周比）すなわち倍数関係の周波数のクロックを各回路に供給することにより行う。

【0005】前者は、全回路が同一クロック周波数で動作可能な簡単なシステムに限定されるので、ここでは、一般的な後者の場合について説明する。

【0006】従来、入力されたクロックから種々の異なる周波数のクロックを生成する方法として、周波数逡倍器又は分周器を用いる第1の方法と、フェーズドロックループ（PLL）と1つあるいは複数の分周器とを組合

せる第2の方法が知られている。

【0007】一般的な、従来の第1の同期回路をブロックで示す図6を参照すると、この従来の第1の同期回路は、外部から供給される低速すなわち低周波のクロックCP1で動作し入力データDC1の供給を受けデータDF1を出力する縦続接続された3段のフリップフロップF11、F12、F13から成る論理回路1と、データDF1を遅延させてタイミング調整を行いデータD1を出力する遅延回路3と、外部から供給される高速すなわち高周波のクロックCP2で動作し入力データDC2の供給を受けデータD2を出力する縦続接続された3段のフリップフロップF21、F22、F23から成る論理回路2と、クロックCP2で動作しデータD1、D2の供給を受け相互に同期のとれたデータD1対応のデータDO1、データD2対応のデータDO2を出力するフリップフロップで構成した最終段の論理回路4とを備える。

【0008】次に、図6及び各部波形をタイムチャートで示す図7を参照して、従来の第1の同期回路の動作について説明すると、低周波クロックCP1と高周波クロックCP2は倍数関係ではあるが、非同期的に供給される。したがって、論理回路1、2の各々の出力データDF1、D2も非同期的なずれがある位相差（タイミング差）を有する。遅延回路3は、データDF1にこのタイミング差分対応の遅延を与えることによりこれをある程度補償してデータD1を出力する。最終段の論理回路4はクロックCP2で動作し、このクロックCP2に同期したデータD1対応のデータDO1及びデータD2対応のデータDO2をそれぞれ出力する。

【0009】このとき、データD1の立ち上がりエッジが時刻t1であり、時刻t1以降の次のデータD2の立ち上がりエッジがクロックCP2の1クロック分の周期T2分遅れた時刻t2であるとする、データDO2はクロックCP2に同期して時刻t1、t2に出力するが、データDO1はデータDO2に同期した時刻t2に出力する。したがって、時刻t1、t2間の期間すなわち周期T2の分はデータDO2に対しアクセス不可能な時間すなわちアクセスロスとなる。

【0010】同様に、データD1の立ち下がりエッジが時刻t3であり、時刻t3の次のデータD2の立ち上がりエッジが時刻t4であるとする、このデータDO1はデータDO2の立ち下がりエッジが同期した時刻t2に出力する。したがって、この場合も時刻t3、t4間の周期T2の分はデータDO2に対しアクセス不可能な時間すなわちアクセスロスとなる。

【0011】次に、特開平4-139964公報記載の従来の第2の同期回路をブロックで示す図8を参照すると、この従来の第2の同期回路は、ゲーム機用の同期回路であり、ゲームの主要処理制御を行いクロックCKを出力する1つのメイン装置100と、このメイン装置に

通信線で接続されたプロジェクト等の複数のサブ装置200とでシステムを構成する。

【0012】サブ装置200は、クロックCKの位相同期をとるPLL201と、PLL200の出力信号を所定の周波数に逡倍し内部クロックCKIを出力する逡倍器202とを備える。

【0013】メイン装置100は、通信が容易な低い周波数例えば1MHzのクロックCKを各サブ装置200に供給し、各サブ装置200の各々はPLL201、逡倍器202によりこのクロックCKに同期して自己の同期に必要な周波数例えば24MHzの内部クロックCKIをそれぞれ生成し各々の動作を行う。

【0014】しかし、この第2の同期回路は、単一周波数のシステムクロックで複数のサブ装置の同期を制御するためには適しているが、複数周波数のクロック間の同期に対しては対応していない。

【0015】

【発明が解決しようとする課題】上述した従来の第1の同期回路及び同期方法は、同期対象の高周波及び低周波の2つのクロックのタイミング差を補償するタイミング調整に起因して高周波クロックの1周期分の範囲のアクセスロスを生じ、高速化阻害要因となるという欠点があった。

【0016】また、従来の第2の同期回路及び同期方法は、単一周波数のシステムクロックによる複数のサブ装置の同期用であり、複数周波数のクロック間の同期については対応していないという問題点がある。

【0017】本発明の目的は、1チップ上に形成され、複数の異なる周波数のクロックを用いる半導体集積回路装置の各回路相互間の同期をとると共に、同期のためのタイミング調整等に起因する時間損失を除去した同期回路及びその同期方法を提供することにある。

【0018】

【課題を解決するための手段】本発明の同期回路は、第1の周波数の第1のクロックに同期した第1の入力データを処理し第1の処理データと、第2の周波数の第2のクロック同期した第1の入力データを処理し第2の処理データとの供給を受け、相互に同期しこれら第1及び第2の処理データにそれぞれ対応する第1及び第2の出力データを出力する同期回路において、前記第1の周波数の第1の外部クロック及び前記第2の周波数の第2の外部クロックの供給を受け前記第1及び第2の周波数の最小公倍数又は最大公約数の周波数の同期クロックを生成し前記第1及び第2の外部クロックを前記同期クロックに同期して対応する前記第1及び第2のクロックを生成する内部クロック生成回路を備えて構成されている。

【0019】本発明の同期方法は、第1の周波数の第1のクロックに同期した第1の入力データを処理し第1の処理データと、第2の周波数の第2のクロック同期した第1の入力データを処理し第2の処理データとの供給を

受け、相互に同期しこれら第1及び第2の処理データにそれぞれ対応する第1及び第2の出力データを出力する同期方法において、前記第1の周波数の第1の外部クロック及び前記第2の周波数の第2の外部クロックの供給を受け前記第1及び第2の周波数の最小公倍数又は最大公約数の周波数の同期クロックを生成し前記第1及び第2の外部クロックを前記同期クロックに同期して対応する前記第1及び第2のクロックを生成することを特徴とするものである。

【0020】

【発明の実施の形態】次に、本発明の第1の実施の形態を図6と共通の構成要素には共通の参照文字／数字を付して同様にブロックで示す図1を参照すると、この図に示す本実施の形態の同期回路は、従来の第1の同期回路と共通であるが内部で生成した低周波のクロックCK1で動作し入力データDC1の供給を受けデータDF1を出力する縦続接続されたフリップフロップF11、F12、F13から成る論理回路1と、高周波のクロックCK2で動作し入力データDC2の供給を受けデータD2を出力する縦続接続された3段のフリップフロップF21、F22、F23から成る論理回路2と、クロックCKYで動作しデータD1、D2の供給を受け相互に同期のとれたデータD1対応のデータDO1、データD2対応のデータDO2を出力する最終段の論理回路4とに加えて、外部から供給される低周波及び高周波の各クロックCP1、CP2とシステムクロックCKSとからシステムクロックCKSに同期しクロックCP1、CP2の周波数の最小公倍数の周波数の同期クロックCKYとこの同期クロックCKYに同期してクロックCP1、CP2の同期をとり内部クロックCK1、CK2を生成する内部クロック生成回路5を備える。

【0021】内部クロック生成回路5の構成を示す図2を参照すると、システムクロックCKSの供給にตอบสนองして位相同期をとると共に非同期のクロックCP1、CP2の最小公倍数であるN（正の整数）連倍し同期クロックCKYを出力するPLL51と、フリップフロップで構成されクロック端子に供給を受ける同期クロックCKYとデータ端子に供給を受けるクロックCP1との同期をとり出力端子から同期したクロックCK1を出力する同期回路52と、フリップフロップで構成されクロック端子に供給を受ける同期クロックCKYとデータ端子に供給を受けるクロックCP2との同期をとり出力端子から同期したクロックCK2を出力する同期回路53と、カウンタ回路から成り同期クロックCKYをN分周してシステムクロックに位相同期し周波数が同一の同期システムクロックCSSを出力する分周回路54とを備える。

【0022】次に、図1、図2及び各部波形をタイムチャートで示す図3を参照して本実施の形態の動作について説明すると、まず、本実施の形態では説明の便宜上、

システムクロックCKS、同期システムクロックCSSの周波数を1MHz、クロックCP1、CK1の周波数を4MHz、クロックCP2、CK2の周波数を6MHzとする。したがって、最小公倍数Nは12となり、同期クロックCKYは12MHzとなる。

【0023】まず、内部クロック生成回路5のPLL51は供給を受けた周波数1MHzのシステムクロックCKSに対し位相同期し12連倍して周波数12MHzの同期クロックCKYを生成し、この同期クロックCKYを同期回路52、53、分周回路54にそれぞれ供給すると共に最終段の論理回路4に供給する。

【0024】同期回路52は同期クロックCKYの供給にตอบสนองして入力した周波数4MHzの外部クロックCP1をラッチし、クロックCKYに同期し周波数4MHzのクロックCK1を生成する。同様に、同期回路53は同期クロックCKYの供給にตอบสนองして入力した周波数6MHzの外部クロックCP2をラッチし、クロックCKYに同期し周波数6MHzのクロックCK2を生成する。したがって、これらクロックCK1、CK2、CKY、及びCSSは相互に同期状態にある。

【0025】分周回路54は同期クロックCKYを12分周し、周波数1MHzの内部同期用の同期システムクロックCSSを生成する。

【0026】クロックCK1は論理回路1に供給され、論理回路1はクロックCK1に同期同期して入力データDC1をラッチし、対応の出力データD1を出力し、最終段の論理回路4に供給する。一方、クロックCK2は論理回路2に供給され、論理回路2はクロックCK2に同期して入力データDC2をラッチし、対応の出力データD2を出力し、最終段の論理回路4に供給する。上述の内部クロック生成回路5の同期動作により、クロックCK1、CK2は同期状態であるので、データD1、D2も同期状態となる。

【0027】論理回路4は、供給を受けたクロックCKYに同期してデータD1、D2をそれぞれラッチし、対応する出力データDO1、DO2を出力する。

【0028】このように、非同期の入力外部クロックCP1、CP2の各々の周波数の最小公倍数の関係となる同期クロックCKYを生成し、このクロックCKYを仲介してクロックCP1、CP2の相互同期をとったクロックCK1、CK2を生成することにより、タイミング調整に係わる時間ロスが発生することがないので、各回路の動作効率を向上できる。

【0029】また、同期クロックCKYの周波数は、複数のクロックCP1、CP2の各々の周波数を最小公倍数の関係とする代わりに最大公約数の関係としても同様な効果が得られる。すなわち、この例では、クロックCP1、CP2の各々の周波数は4MHz、6MHzであるから、同期クロックCKYの周波数をその最大公約数に相当する2MHzに設定しても良い。

【0030】次に、本発明の第2の実施の形態を特徴付ける内部クロック生成回路5Aを図2と共通の構成要素には共通の参照文字/数字を付して同様にブロックで示す図4を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、第3の外部クロックCP3の供給に対応してフリップフロップで構成されクロック端子に供給を受ける同期クロックCKYとデータ端子に供給を受ける外部クロックCP3との同期をとり出力端子から同期したクロックCK3を出力する同期回路55をさらに備え、クロックCP1、CP2、CP3の最小公倍数Mにそれぞれ対応する通倍数のPLL51A及び分周数の分周回路54Aを備えることである。

【0031】ここで、クロックCP1、CP2、CKSの各々の周波数を第1の実施の形態と同一の4MHz、6MHz、1MHzとし、クロックCP3の周波数を24MHzとすると、最小公倍数Mは24となる。したがって、同期クロックCKYの周波数は24MHzとなる。

【0032】次に、本発明の第3の実施の形態のLSIをブロックで示す図5を参照すると、本実施の形態のLSIは、入力データDC1、DC2及び外部クロックCP1、CP2及びシステムクロックCKSの供給を受け出力データDO1、DO2及び同期システムクロックCSSを出力する第1の実施の形態の同期回路10と、データDO1、DO2及び同期システムクロックCSSの供給を受け所定のデータ処理を行い出力データDS及び同期システムクロックCSSを出力するデータ処理回路20を備える。

【0033】同期回路10により、データDO1、DO2が相互に同期がとれているので、データ処理回路20は、動作効率低下要因となるデータ同士の時間的干渉が回避でき最高の効率で動作する。

【0034】

【発明の効果】以上説明したように、本発明の同期回路及びその同期方法は、第1及び第2の周波数の最小公倍数又は最大公約数の周波数の同期クロックを生成し第1及び第2の外部クロックを上記同期クロックに同期して

対応する第1及び第2のクロックを生成する内部クロック生成回路を備えることにより、非同期の複数の入力外部クロックの各々の周波数の最小公倍数の関係となる同期クロックを生成し、この同期クロックを仲介してこれら複数のクロックの相互同期をとった内部クロックを生成することにより、タイミング調整に係わる時間ロスが発生することがないので、各回路の動作効率を向上できるという効果がある。

【図面の簡単な説明】

【図1】本発明の同期回路の第1の実施の形態を示すブロック図である。

【図2】図1の内部クロック生成回路の構成を示すブロック図である。

【図3】本実施の形態の同期回路及びその同期方法における動作の一例を示すタイムチャートである。

【図4】本発明の同期回路の第2の実施の形態を特徴付ける内部クロック生成回路の構成を示すブロック図である。

【図5】本発明の第4の実施の形態のLSIの構成を示すブロック図である。

【図6】従来の第1の同期回路の一例を示すブロック図である。

【図7】従来の第1の同期回路及びその同期方法における動作の一例を示すタイムチャートである。

【図8】従来の第2の同期回路の一例を示すブロック図である。

【符号の説明】

1, 2, 4 論理回路

3 遅延回路

5, 5A 内部クロック生成回路

10, 52, 53, 55 同期回路

51, 201 PLL

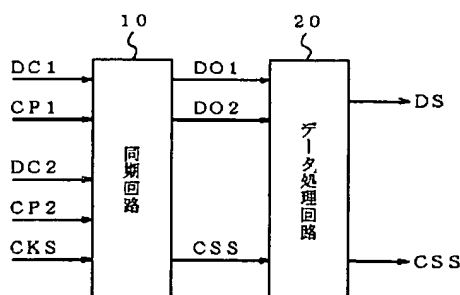
54 分周回路

100 メイン装置

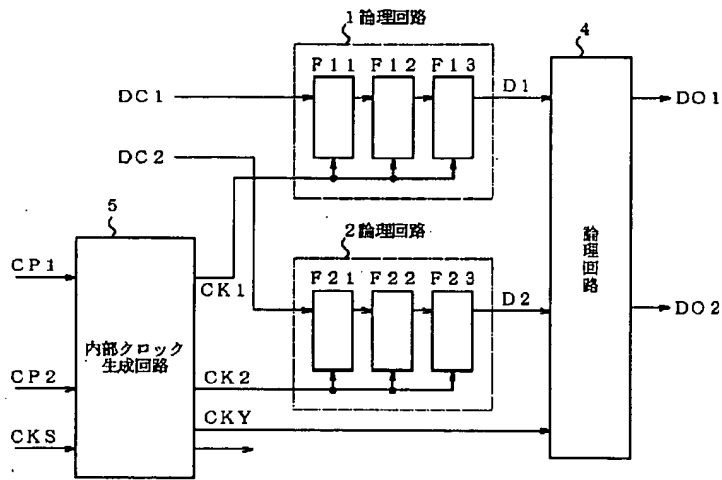
200 サブ装置

202 通倍器

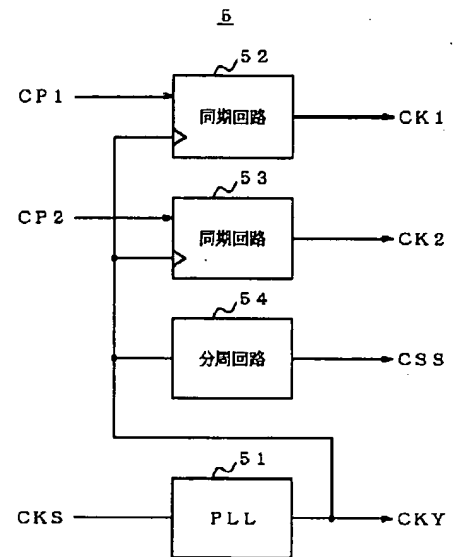
【図5】



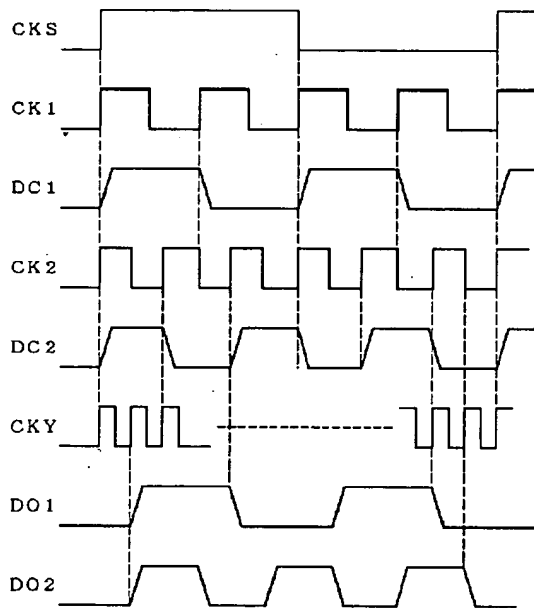
【図1】



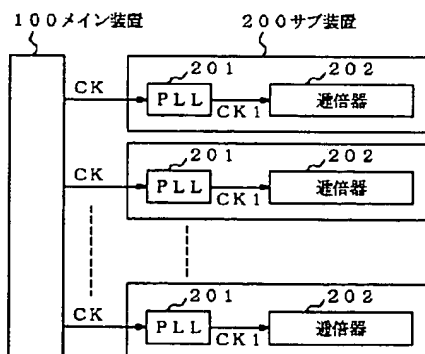
【図2】



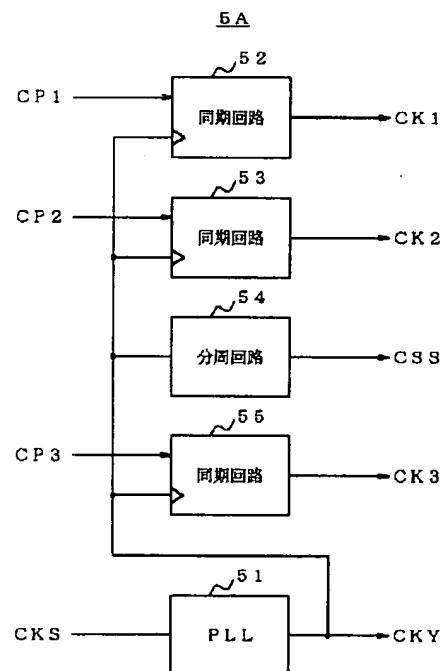
【図3】



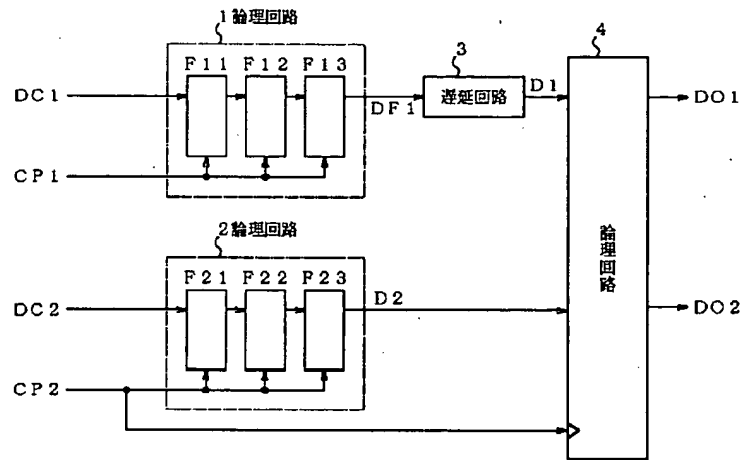
【図8】



【図4】



【図6】



【図7】

